

# Registros de Desplazamiento

Introducción a los Sistemas  
Lógicos y Digitales  
2009

# Registros de Desplazamiento

## Registro de desplazamiento:

Es todo circuito que transforma un dato en formato serie a formato paralelo ó viceversa donde todas las operaciones son sincronizadas por una señal de reloj externa.

## Clasificaciones:

Según formato de entradas-salidas:

Entrada Serie-Salida Paralelo (Serial In – Parallel Out).

Entrada Paralelo-Salida Serie (Parallel In – Serial Out).

Universal (Composición de los dos anteriores).

Entrada Serie-Salida Serie (usado como línea de retardo)

Existen dentro de lo expuesto diferentes tipos de entradas auxiliares tales como carga (asincrónica, sincrónica ó ambas), reset asincrónico ó sincrónico, habilitación de reloj, etc.

Lo mismo con las salidas: hay registros de desplazamiento (RD)

# Registros de Desplazamiento

## REGISTRO SERIE-PARALELO

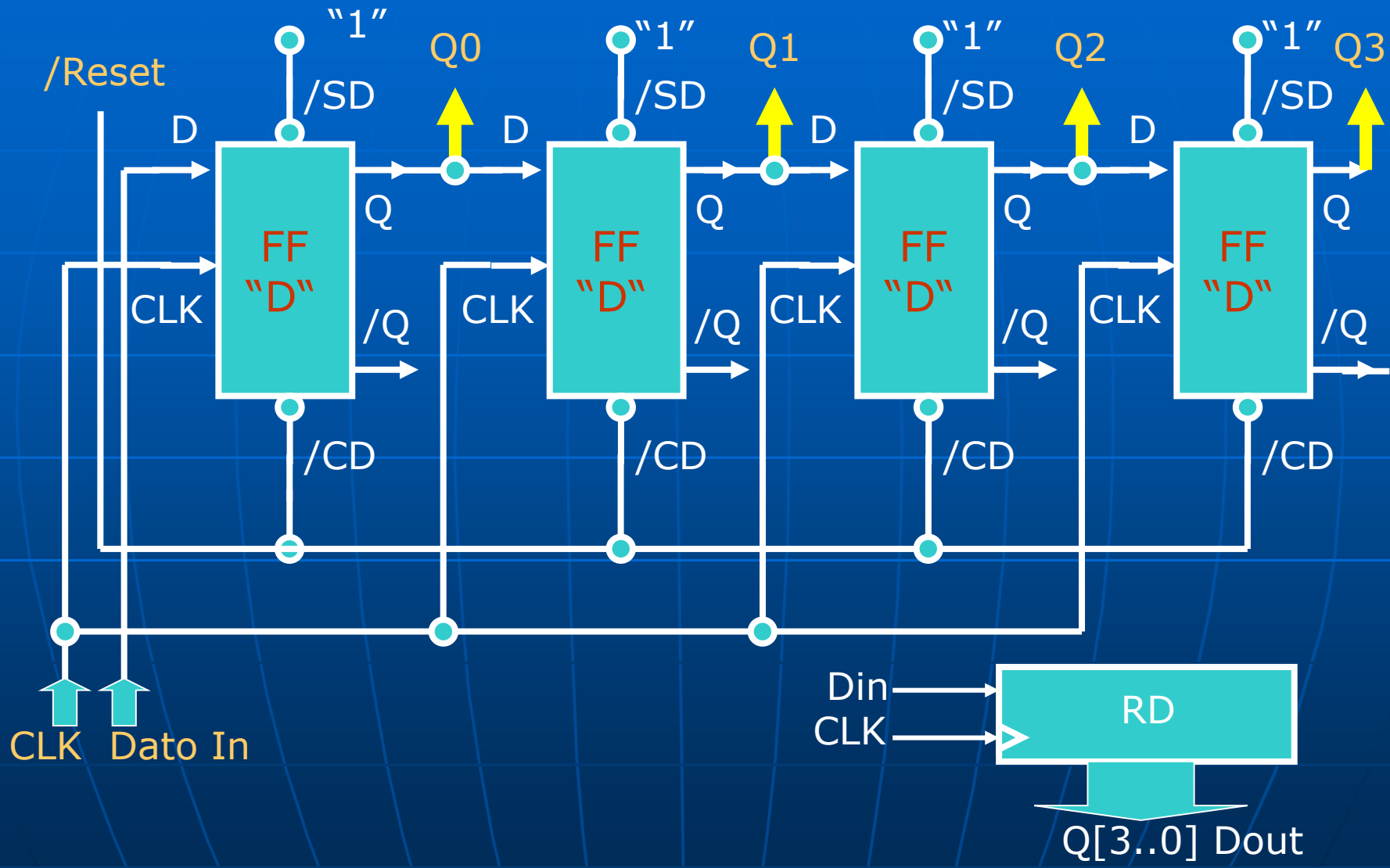
Es aquél que convierte un string (cadena) de datos binarios en formato serie a un formato paralelo donde dichos datos se encuentran sincronizados con una señal de reloj externa.

Un uso popular es dentro de la parte de recepción de un modem de comunicaciones donde la señal recibida es un tren de bits los cuales deben ser pasados a un formato paralelo a fin de poder ser procesados convenientemente por un microprocesador, el cual sólo trabaja con señales binarias en dicho formato paralelo.

Está basado en una cadena de Flip-Flops tipo "D". Si el RD es de "N" bits, el string de bits se hace entrar por el primero FF y luego de "N" ciclos de reloj se tiene en las "N" salidas de los FFs el dato ya convertido a paralelo.

# Registros de Desplazamiento

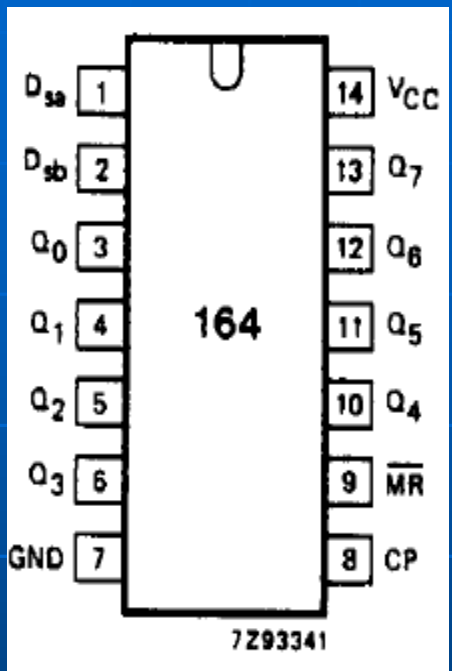
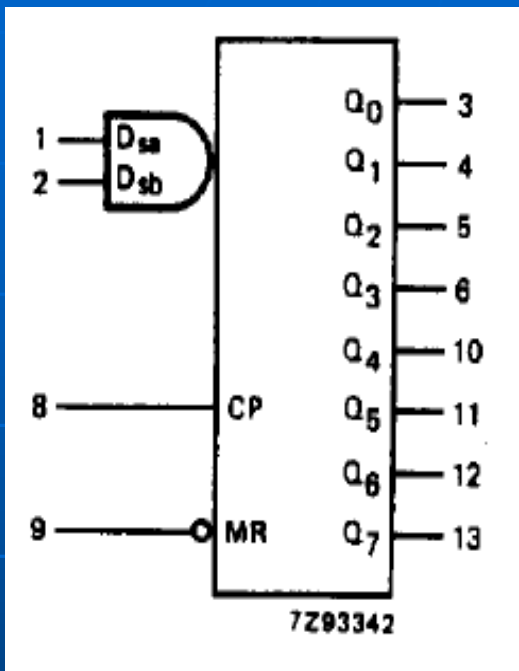
REGISTRO SERIE-PARALELO de 4 bits



# Registros de Desplazamiento

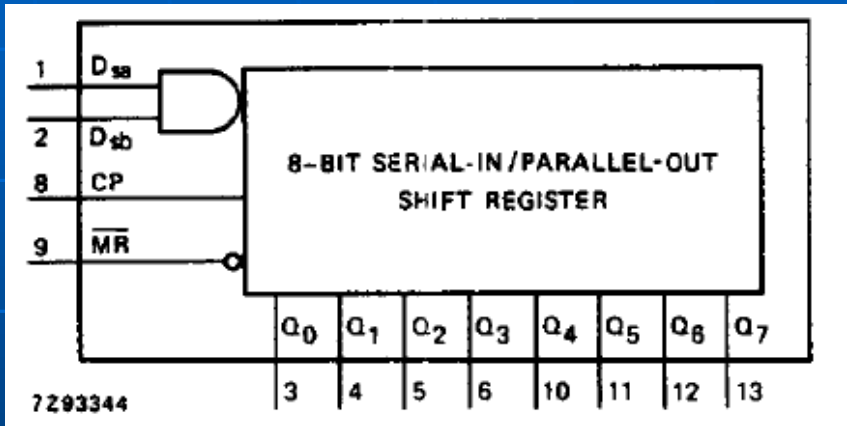
## REGISTRO SERIE-PARALELO

RD SERIE-PARALELO DE 8 BITS  
74HC164 TECNOLOGÍA CMOS



### 74HC/HCT164

8-bit serial-in/parallel-out shift register



Este registro de desplazamiento tiene dos entradas, una de las cuales se puede usar como habilitación.  
El reloj es activo por flanco ascendente.  
El rest es activo bajo y asincrónico.

# Registros de Desplazamiento

## REGISTRO SERIE-PARALELO

RD SERIE-PARALELO DE 8 BITS  
74HC164 TECNOLOGÍA CMOS

FUNCTION TABLE

OPERATING MODES	INPUTS				OUTPUTS	
	$\overline{\text{MR}}$	CP	D <sub>sa</sub>	D <sub>sb</sub>	Q <sub>0</sub>	Q <sub>1</sub> – Q <sub>7</sub>
reset (clear)	L	X	X	X	L	L – L
shift	H	↑	l	l	L	q <sub>0</sub> – q <sub>6</sub>
	H	↑	l	h	L	q <sub>0</sub> – q <sub>6</sub>
	H	↑	h	l	L	q <sub>0</sub> – q <sub>6</sub>
	H	↑	h	h	H	q <sub>0</sub> – q <sub>6</sub>

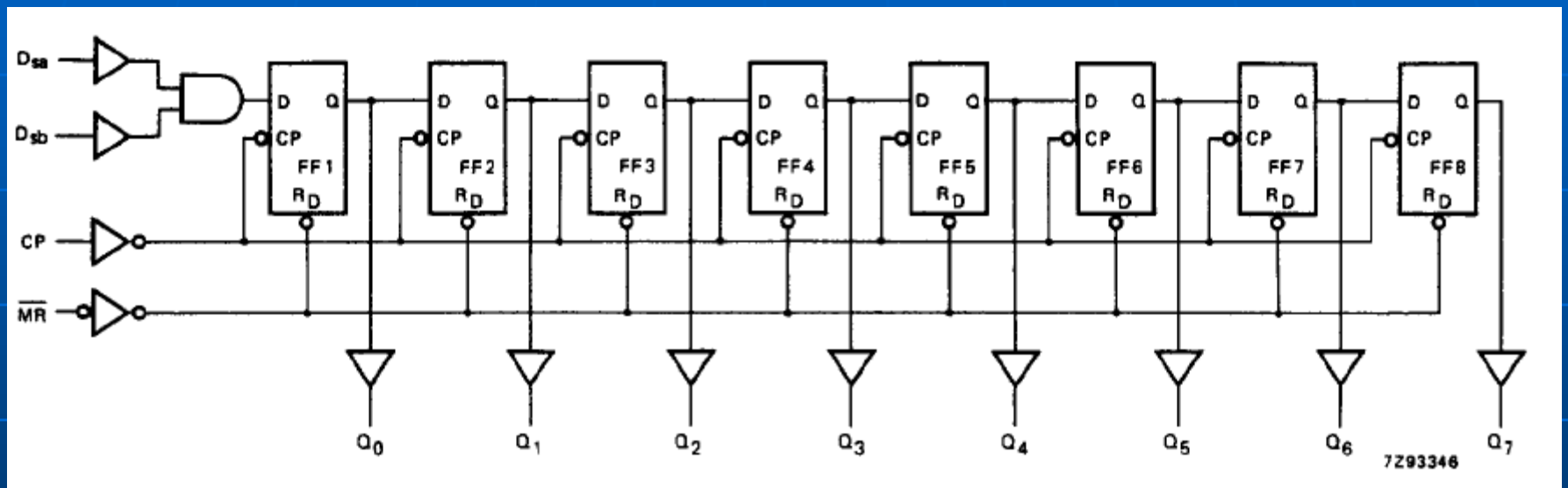
### Note

1. H = HIGH voltage level  
h = HIGH voltage level one set-up time prior to the LOW-to-HIGH clock transition  
L = LOW voltage level  
l = LOW voltage level one set-up time prior to the LOW-to-HIGH clock transition  
q = lower case letters indicate the state of the referenced input one set-up time prior to the LOW-to-HIGH clock transition  
↑ = LOW-to-HIGH clock transition

# Registros de Desplazamiento

## REGISTRO SERIE-PARALELO

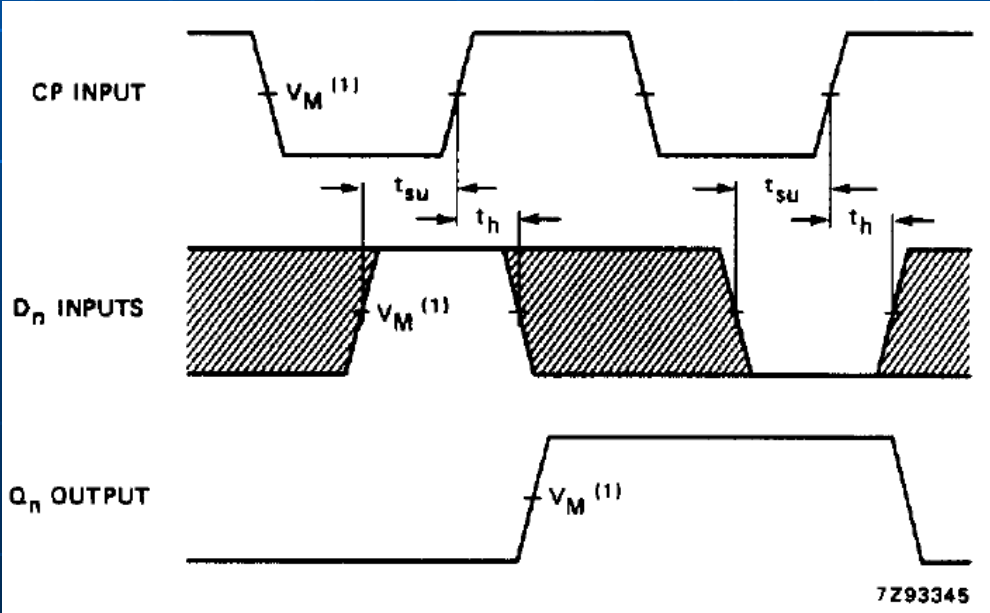
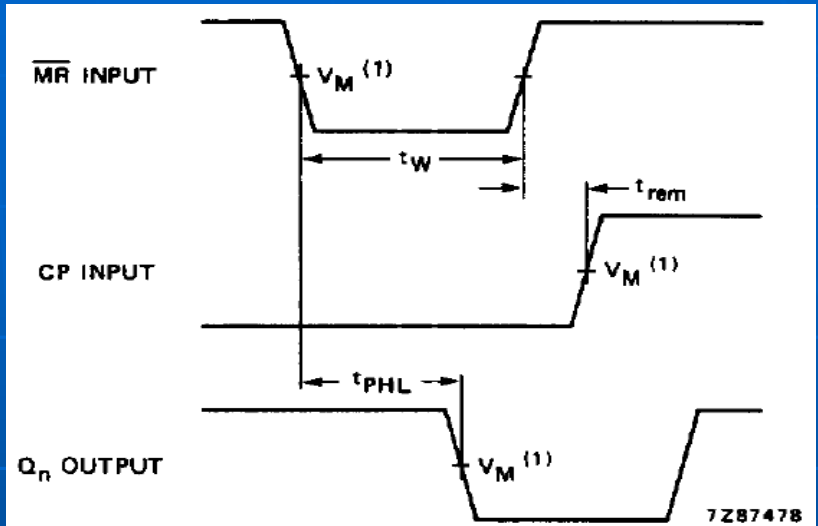
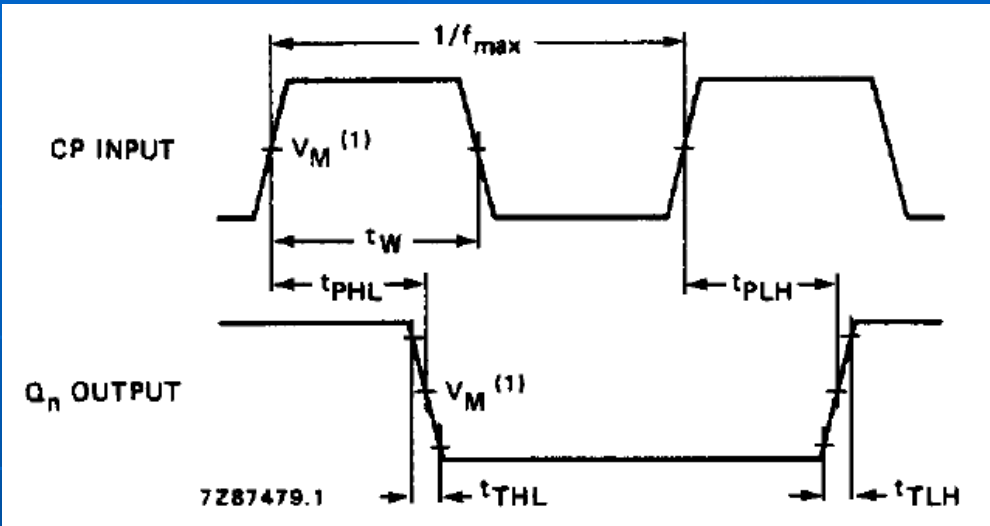
RD SERIE-PARALELO DE 8 BITS  
74HC164 TECNOLOGÍA CMOS



# Registros de Desplazamiento

## REGISTRO SERIE-PARALELO

RD SERIE-PARALELO DE 8 BITS  
74HC164 TECNOLOGÍA CMOS



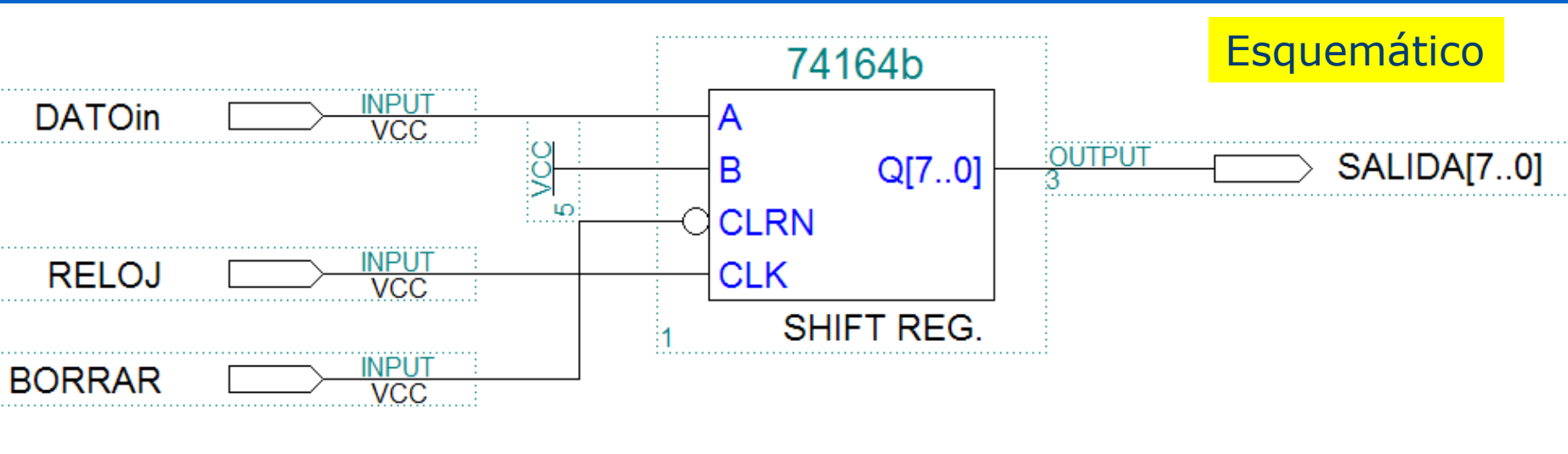


# Registros de Desplazamiento

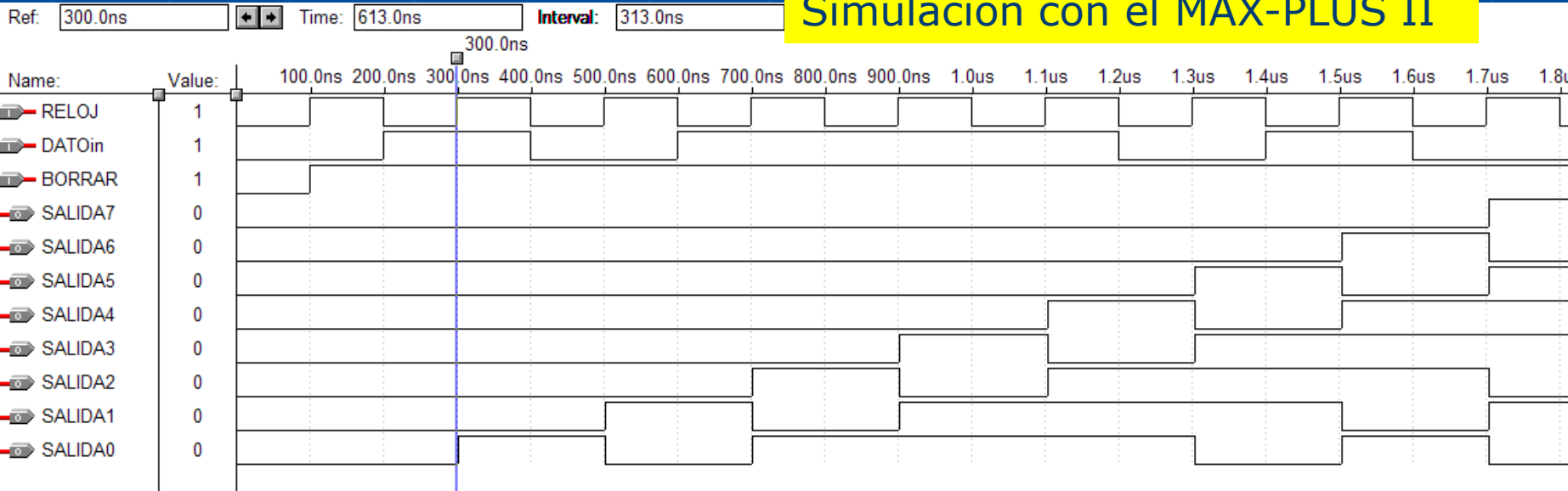
## REGISTRO SERIE-PARALELO

RD SERIE-PARALELO DE 8 BITS  
74HC164 TECNOLOGÍA CMOS

Esquemático



Simulación con el MAX-PLUS II



# Registros de Desplazamiento

## REGISTRO PARALELO - SERIE

Es aquél que convierte un dato en formato paralelo en un string (cadena) de datos binarios en formato serie, donde dichos datos se encuentran sincronizados con una señal de reloj externa. Un uso popular es dentro de la parte de transmisión de un modem de comunicaciones donde la señal recibida proviene de un microprocesador, el cual sólo trabaja con señales binarias en formato paralelo. Dicha información es convertida por el RD en un tren de bits.

Un RD de "N" bits está basado generalmente en una cadena de "N" Flip-Flops tipo "D" para la conversión de datos y un latch de "N" bits para la carga del dato binario al comienzo de cada sesión de transmisión.

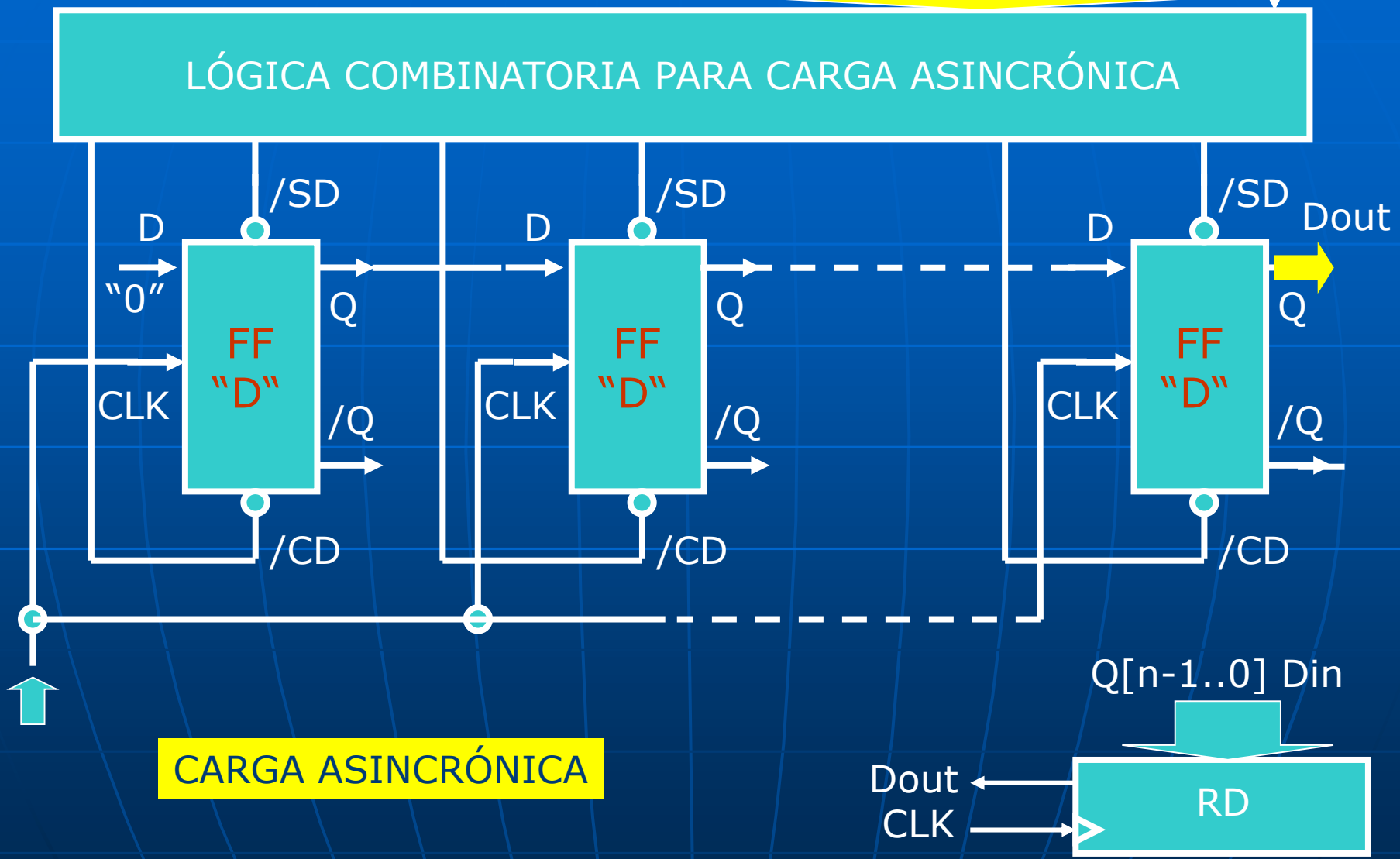
Respecto a la carga de datos en paralelo, el RD puede ser del tipo "carga asincrónica" ó "carga sincrónica".

# Registros de Desplazamiento

REGISTRO PARALELO - SERIE

P0 P1 P2...P(n-1) /PL

LÓGICA COMBINATORIA PARA CARGA ASINCRÓNICA



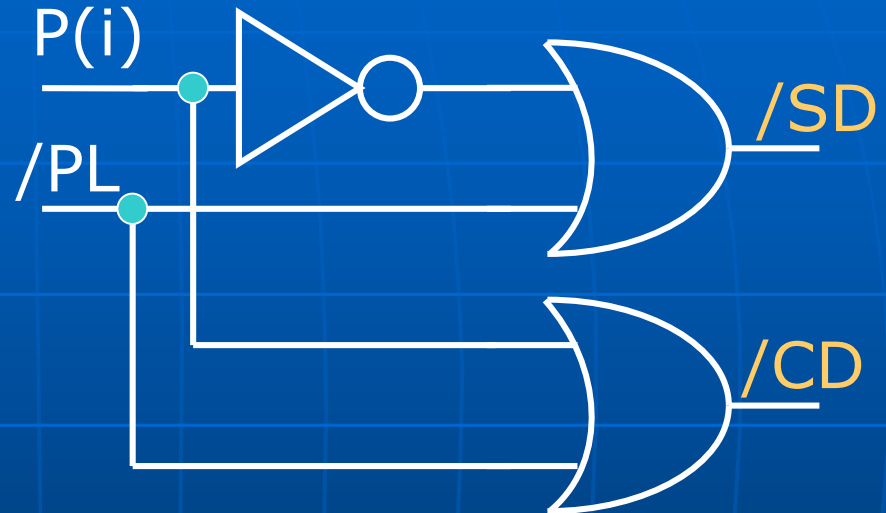
# Registros de Desplazamiento

REGISTRO PARALELO - SERIE

CARGA ASINCRÓNICA

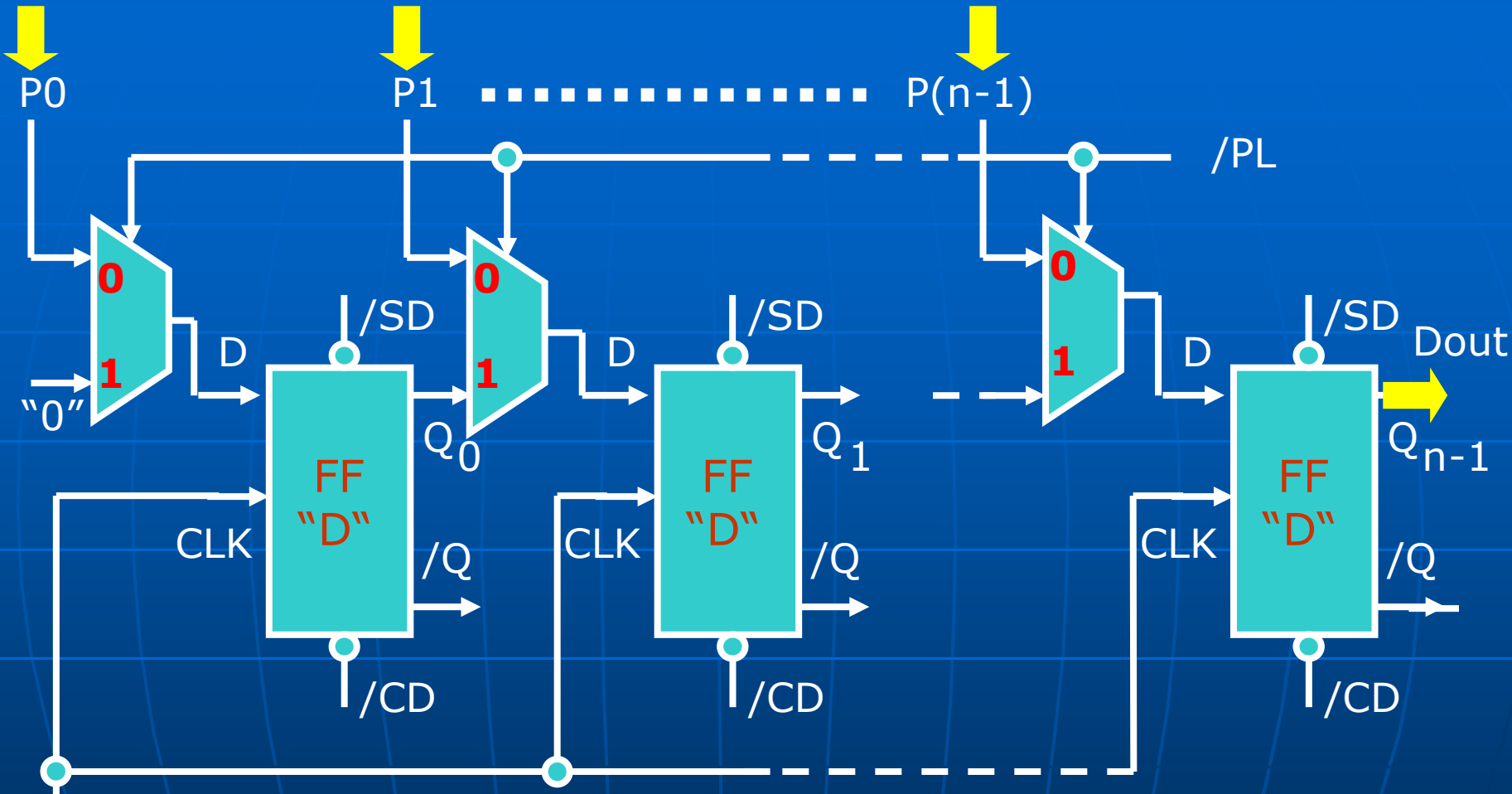
Tabla de verdad para un FF

$/PL$	$P(i)$	$/SD$	$/CD$
0	0	1	0
0	1	0	1
1	0	1	1
1	1	1	1



# Registros de Desplazamiento

## REGISTRO PARALELO - SERIE



**CARGA SINCRÓNICA**

Nota: Por simplicidad en el esquema no se han conectado las entradas asincrónicas de los FFs....

# Registros de Desplazamiento

Este RD permite dos modos de funcionamiento:

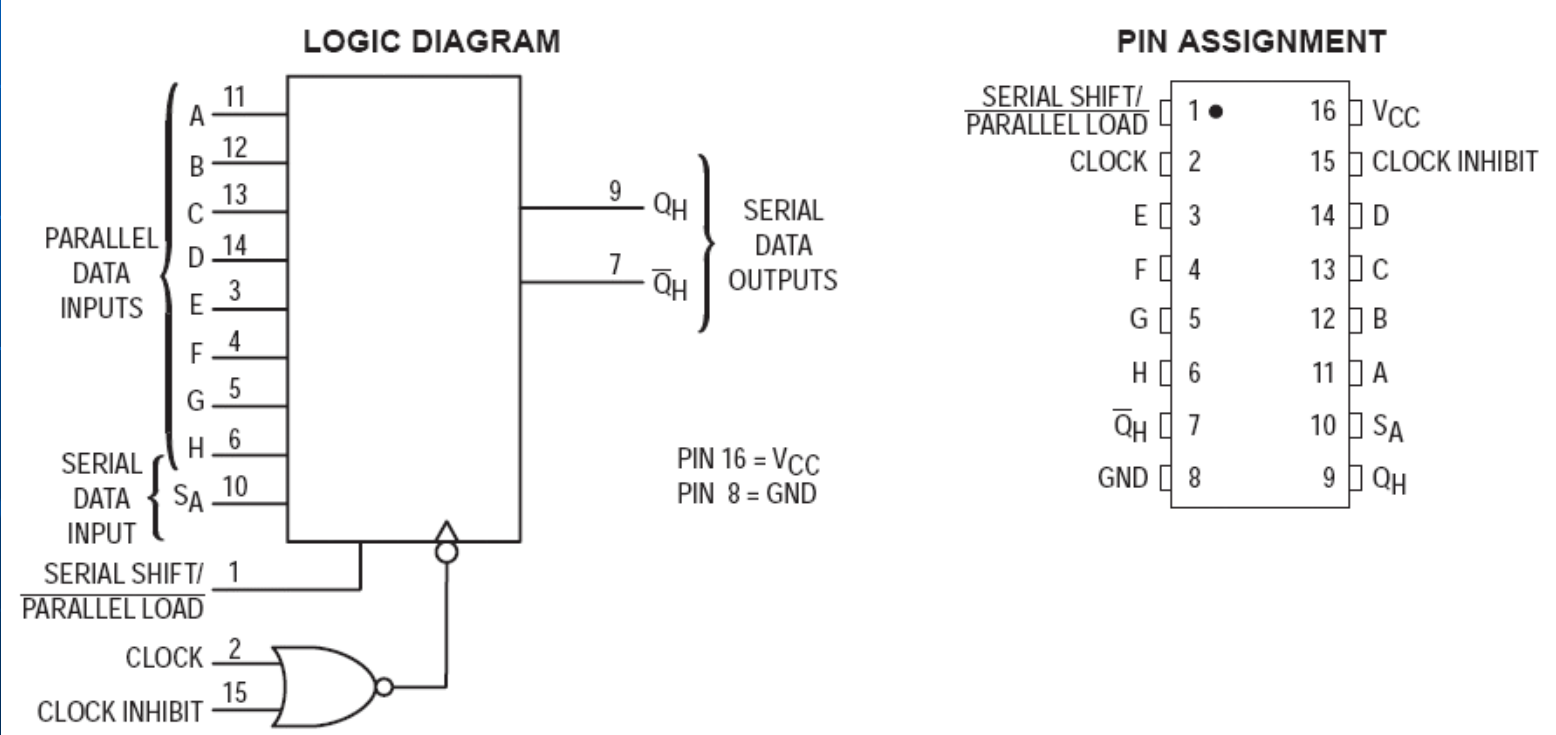
- Paralelo – Serie (carga asincrónica)
- Serie - Serie

RD PARALELO-SERIE DE 8 BITS  
74HC165 TECNOLOGÍA CMOS

**MC74HC165A**

---

**8-Bit Serial or Parallel-Input/Serial-Output Shift Register**  
High-Performance Silicon-Gate CMOS



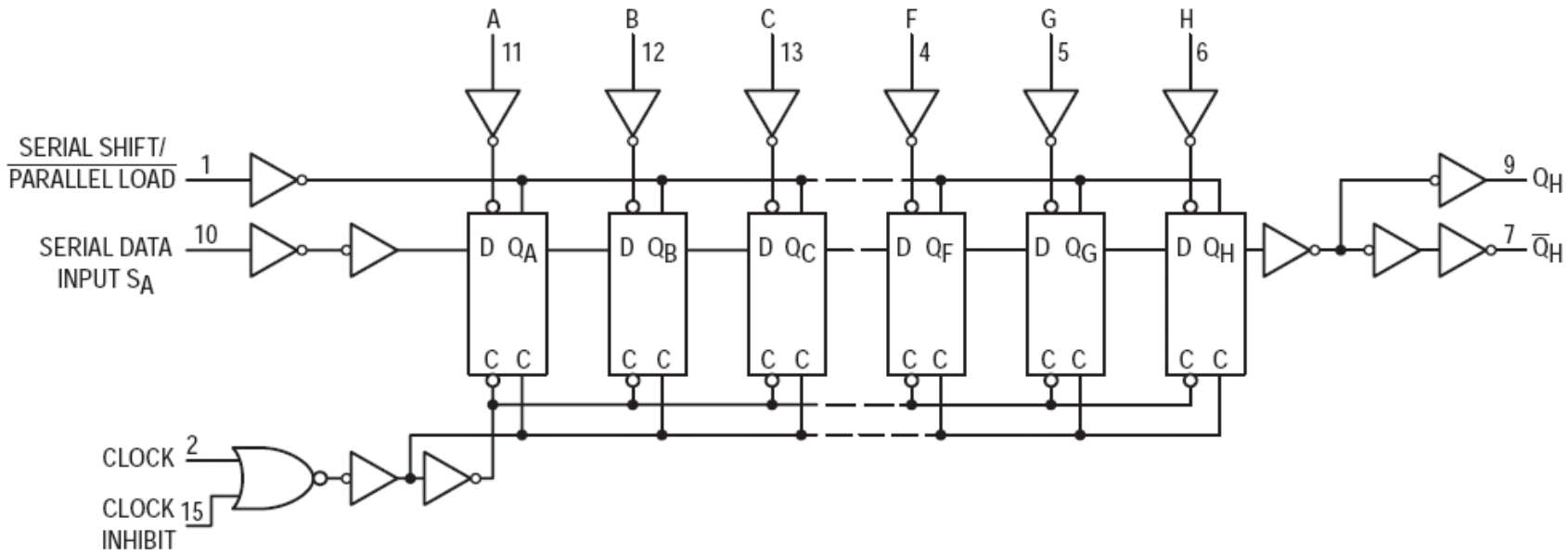
# Registros de Desplazamiento

RD PARALELO-SERIE DE 8 BITS  
74HC165 TECNOLOGÍA CMOS

FUNCTION TABLE

Inputs					Internal Stages		Output	Operation
Serial Shift/ Parallel Load	Clock	Clock Inhibit	S <sub>A</sub>	A - H	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>H</sub>	
L	X	X	X	a ... h	a	b	h	Asynchronous Parallel Load
H	↗	L	L	X	L	Q <sub>An</sub>	Q <sub>Gn</sub>	Serial Shift via Clock
H	↘	L	H	X	H	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	L	↗	L	X	L	Q <sub>An</sub>	Q <sub>Gn</sub>	Serial Shift via Clock Inhibit
H	L	↘	H	X	H	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	X	H	X	X	No Change			Inhibited Clock
H	H	X	X	X	No Change			
H	L	L	X	X	No Change			No Clock

X = don't care      Q<sub>An</sub> - Q<sub>Gn</sub> = Data shifted from the preceding stage



### Modo normal de RD

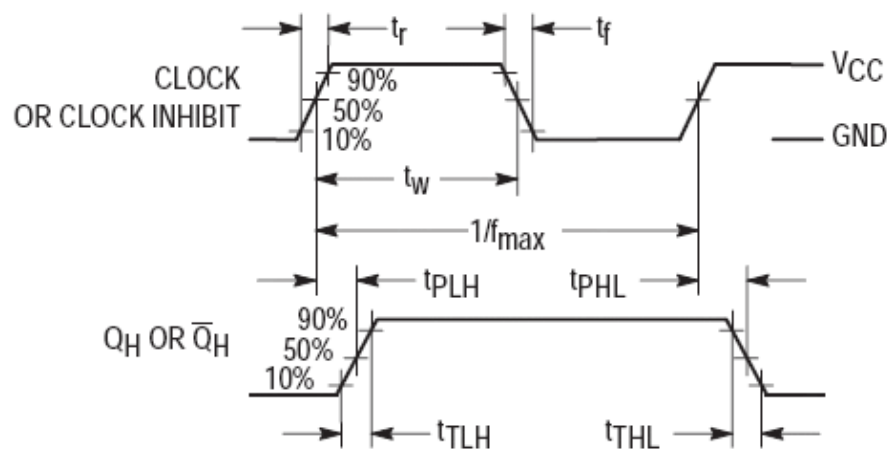


Figure 1. Serial-Shift Mode

### Modo carga paralelo asincrónico

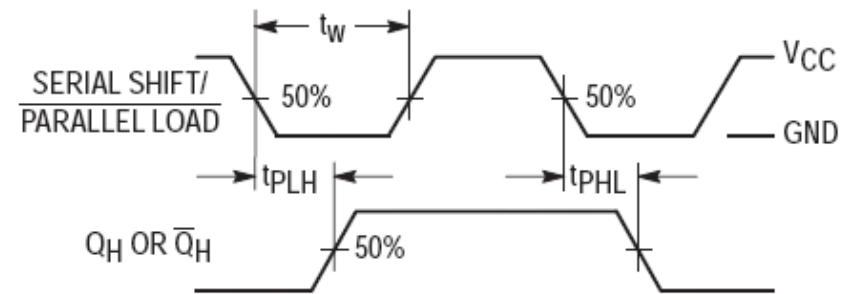


Figure 2. Parallel-Load Mode



# Registros de Desplazamiento

## RD PARALELO-SERIE DE 8 BITS 74HC165 TECNOLOGÍA CMOS

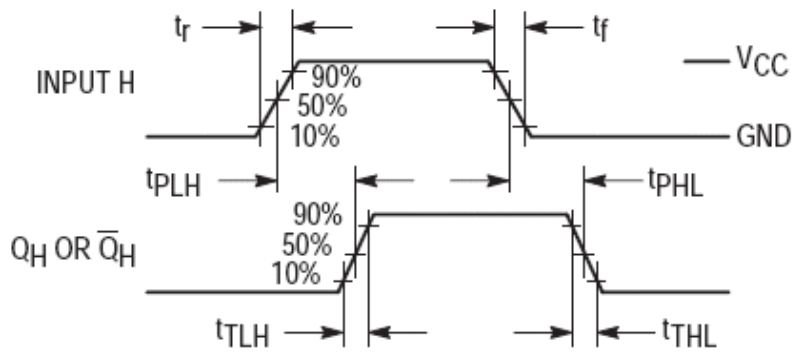


Figure 3. Parallel-Load Mode

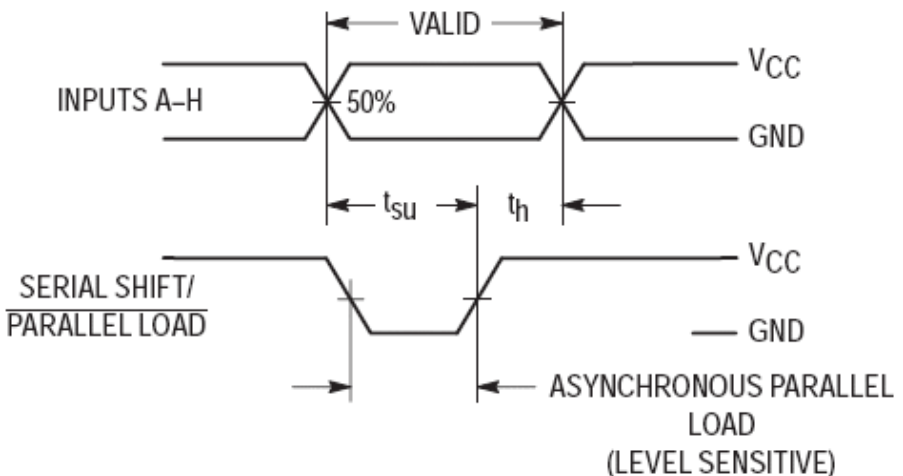


Figure 4. Parallel-Load Mode

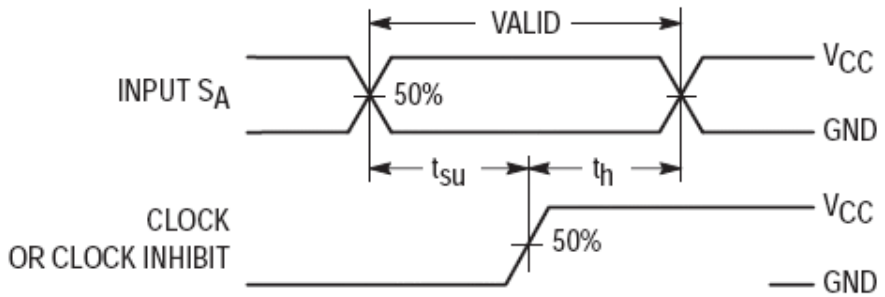


Figure 5. Serial-Shift Mode

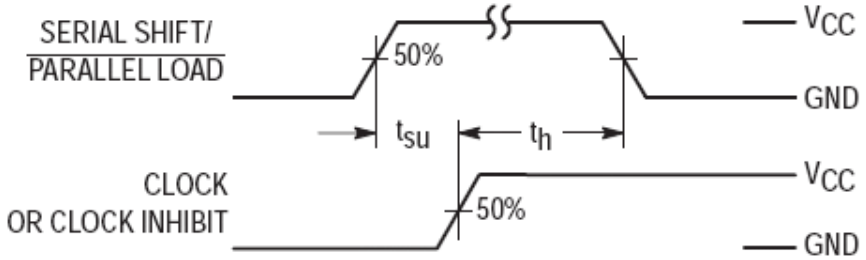
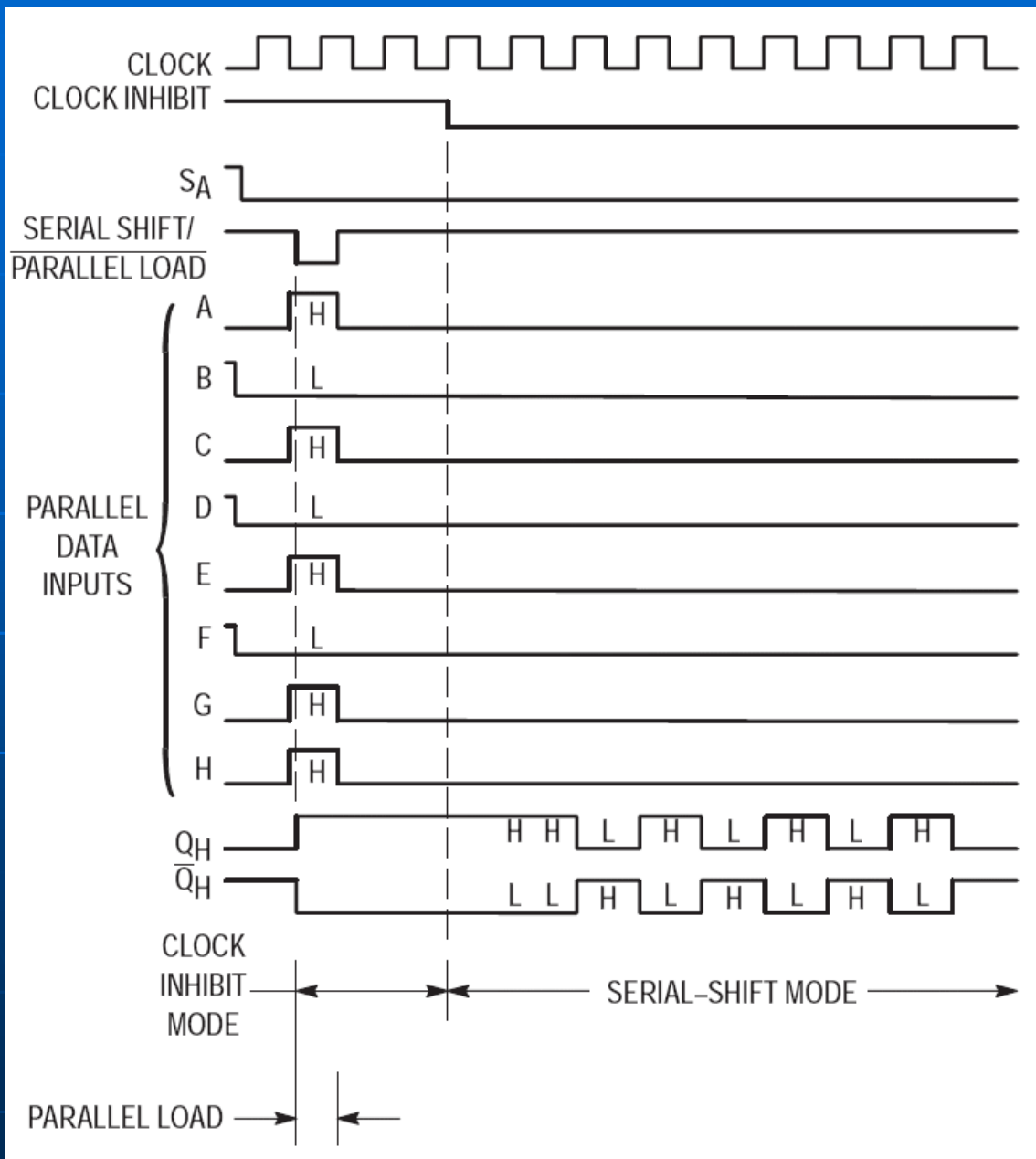


Figure 6. Serial-Shift Mode

# Registros de Desplazamiento

## RD PARALELO-SERIE DE 8 BITS 74HC165 TECNOLOGÍA CMOS



Este RD tiene carga sincrónica activa en bajo.

Se usa la misma entrada para definir el modo de funcionamiento:

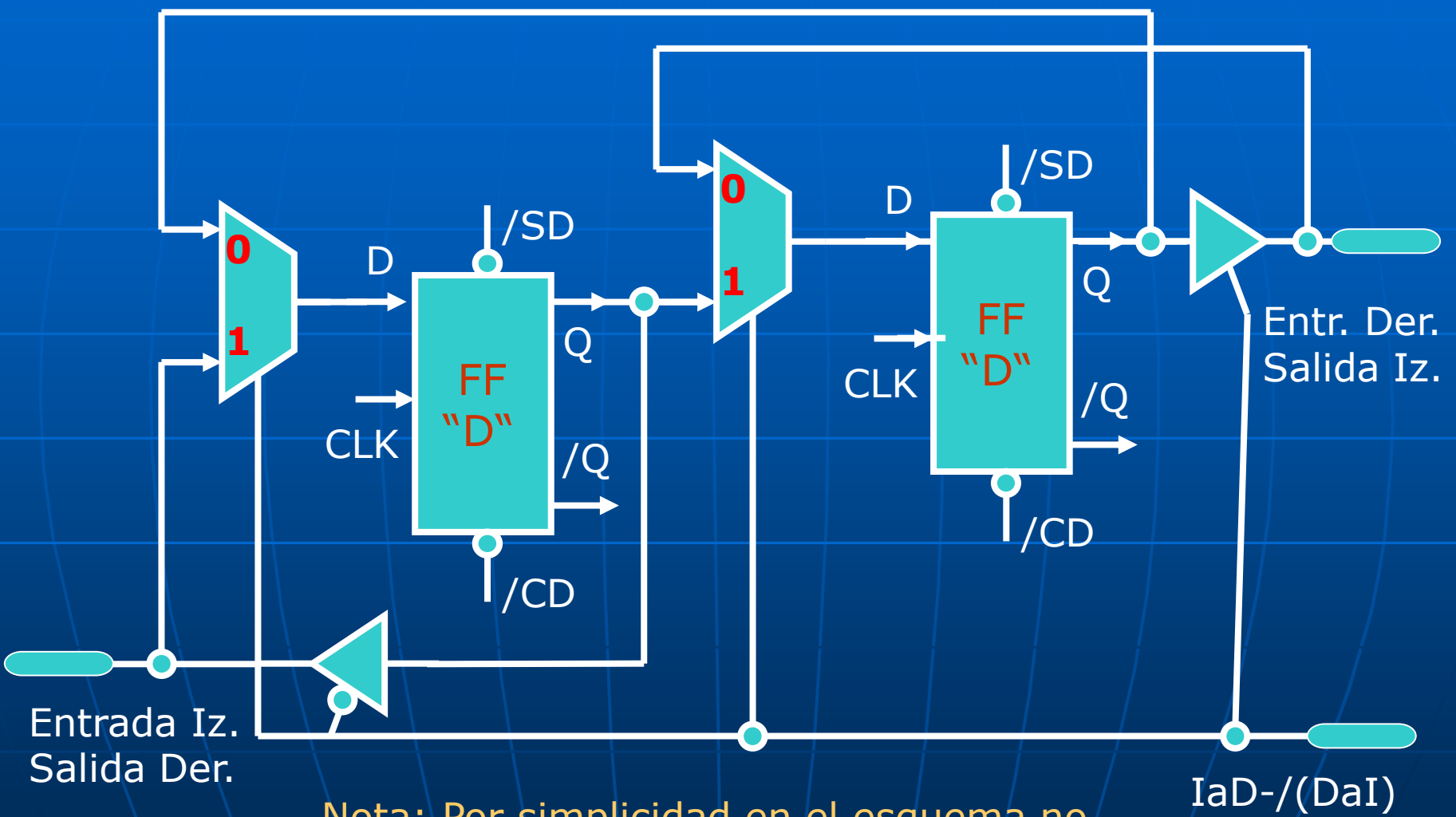
- Carga de datos ("0").
- Modo normal de uso ("1").

La señal de reloj puede ser inhibida con una entrada adicional "Clock Inhibit".

Se dispone de dos salidas una Q y la otra su negación.

# Registros de Desplazamiento

RD BIDIRECCIONAL

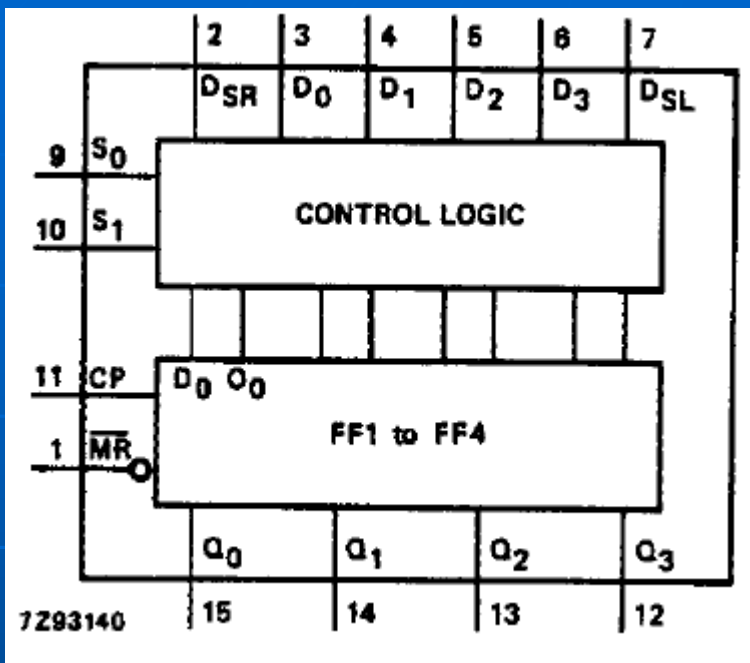


Nota: Por simplicidad en el esquema no se han conectado CLK, /SD y /CD

# Registros de Desplazamiento

RD PARALELO-SERIE DE 8 BITS  
74HC165 TECNOLOGÍA CMOS

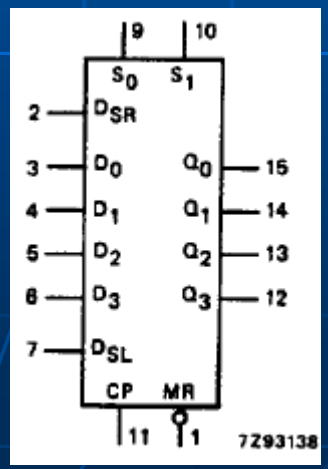
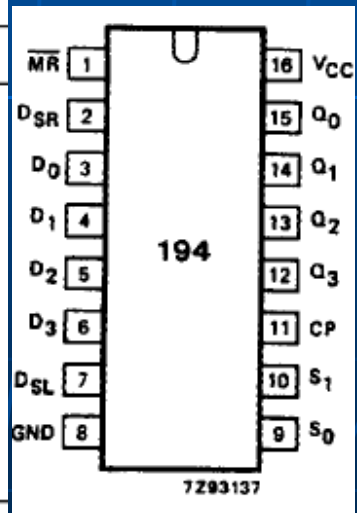
**74HC/HCT194**  
4-bit bidirectional universal shift register



RD serie-paralelo ó paralelo-serie con capacidad de sentido de transferencia bidireccional (Izquierda-derecha ó vice-versa).

**PIN DESCRIPTION**

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{MR}$	asynchronous master reset input (active LOW)
2	$D_{SR}$	serial data input (shift right)
3, 4, 5, 6	$D_0$ to $D_3$	parallel data inputs
7	$D_{SL}$	serial data input (shift left)
8	GND	ground (0 V)
9, 10	$S_0, S_1$	mode control inputs
11	CP	clock input (LOW-to-HIGH edge-triggered)
15, 14, 13, 12	$Q_0$ to $Q_3$	parallel outputs
16	$V_{CC}$	positive supply voltage



FUNCTION TABLE

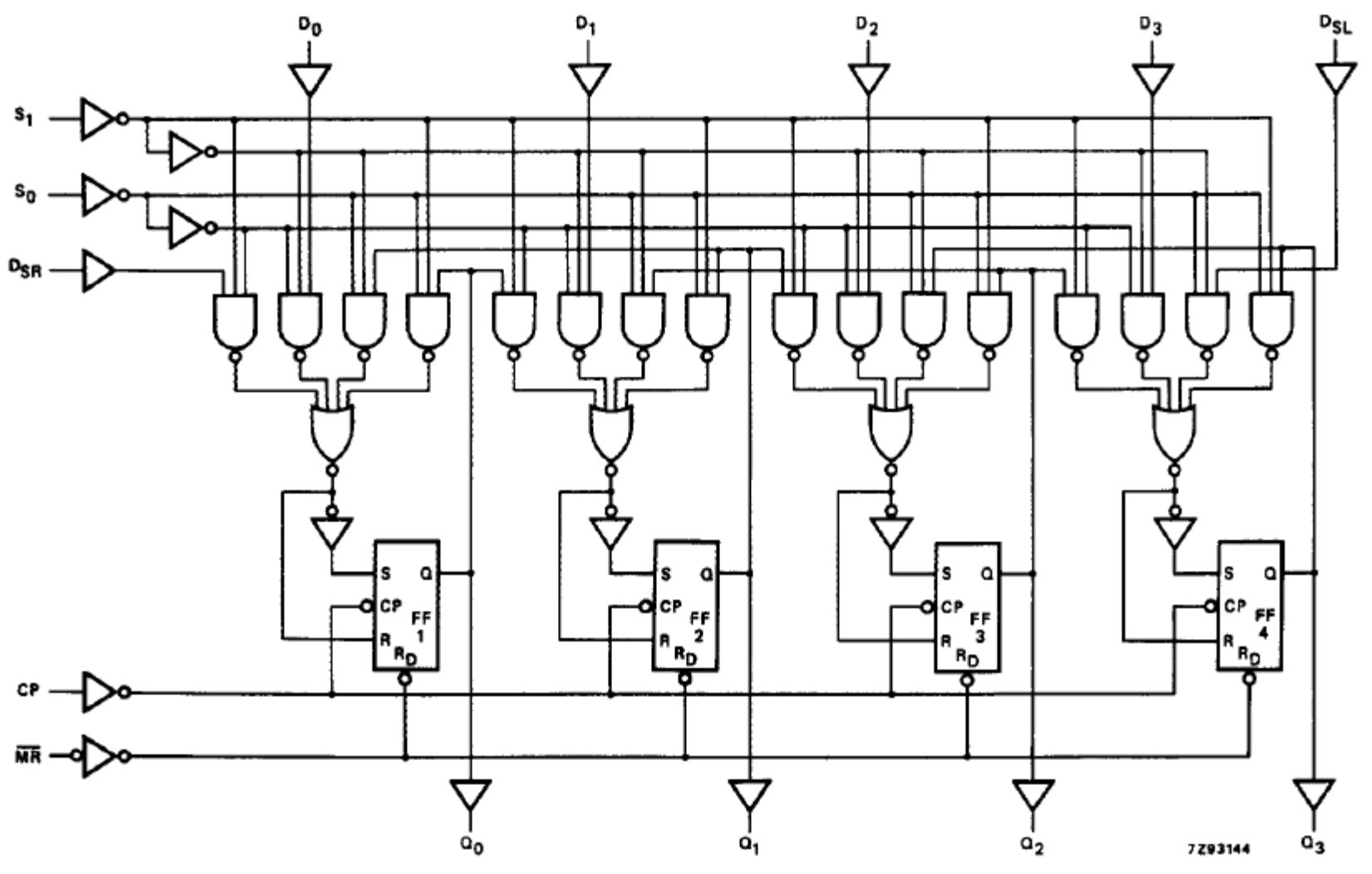
OPERATING MODES	INPUTS							OUTPUTS			
	CP	$\overline{MR}$	S <sub>1</sub>	S <sub>0</sub>	D <sub>SR</sub>	D <sub>SL</sub>	D <sub>n</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
reset (clear)	X	L	X	X	X	X	X	L	L	L	L
hold ("do nothing")	X	H	l	l	X	X	X	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>
shift left	↑	H	h	l	X	l	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	L
	↑	H	h	l	X	h	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	H
shift right	↑	H	l	h	l	X	X	L	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
	↑	H	l	h	h	X	X	H	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
parallel load	↑	H	h	h	X	X	d <sub>n</sub>	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>

### Notes

- H = HIGH voltage level  
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 L = LOW voltage level  
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 q,d = lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW-to-HIGH CP transition  
 X = don't care  
 ↑ = LOW-to-HIGH CP transition

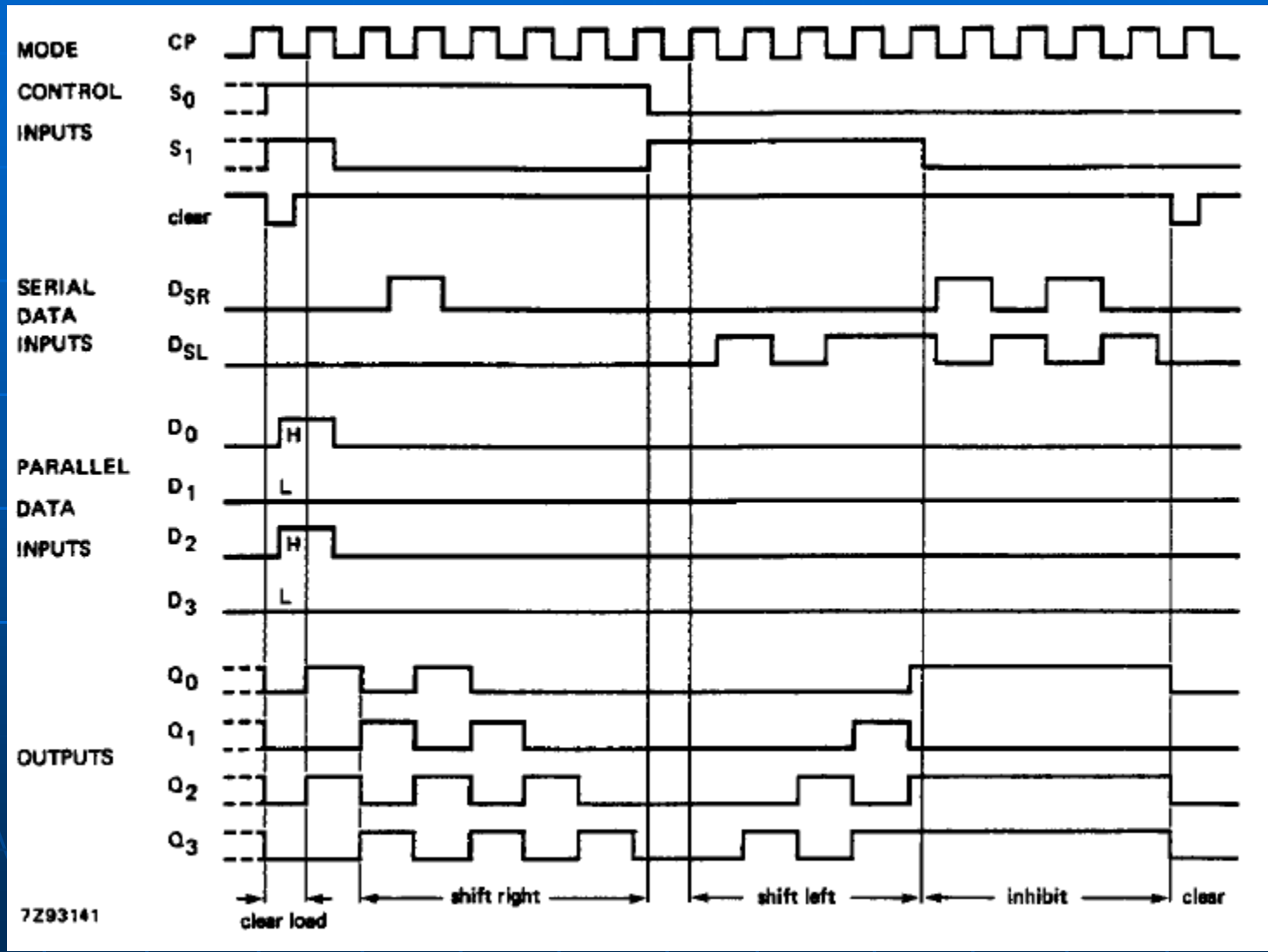
# Registros de Desplazamiento

RD PARALELO-SERIE DE 8 BITS  
74HC165 TECNOLOGÍA CMOS



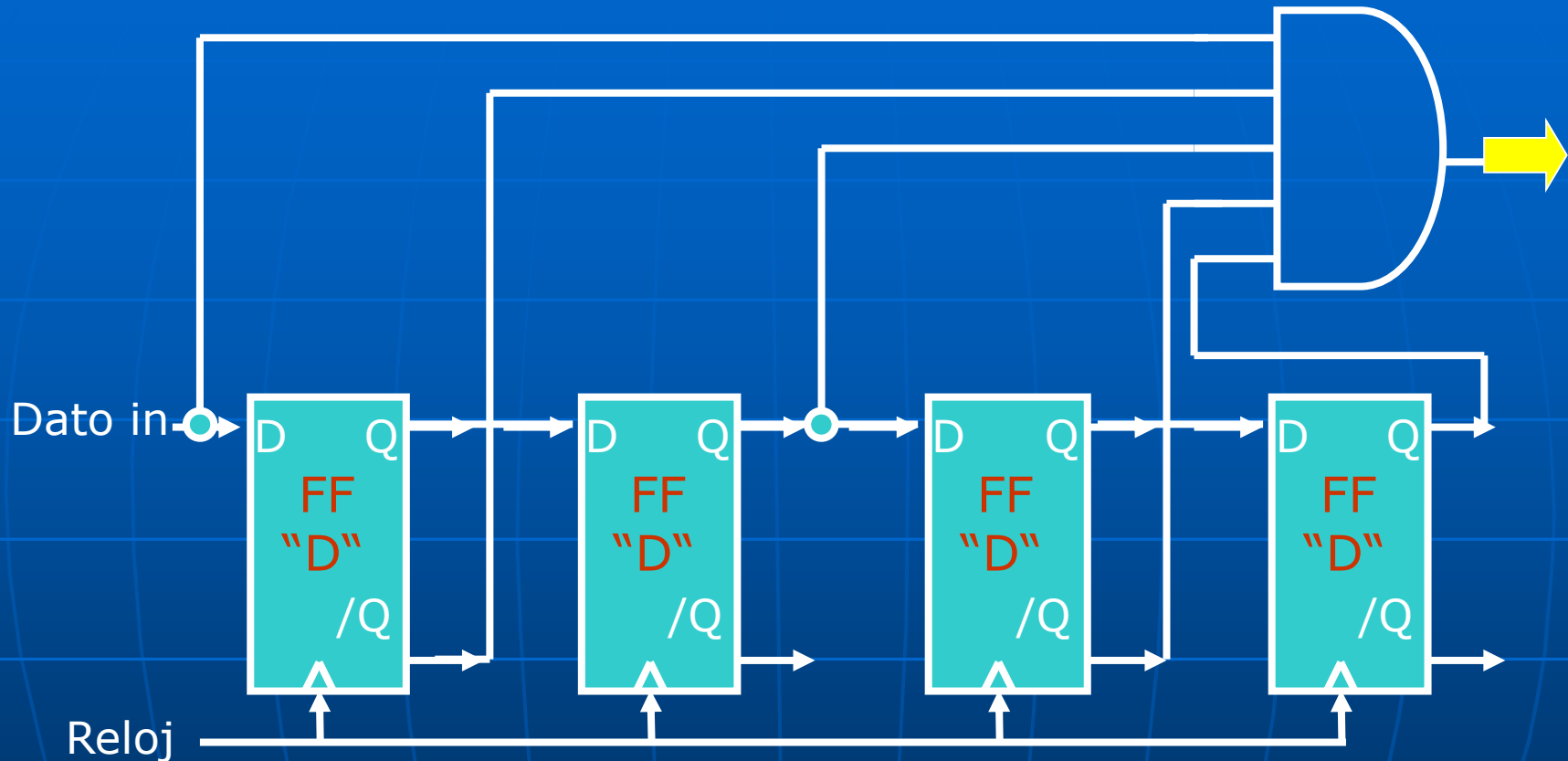
# Registros de Desplazamiento

RD PARALELO-SERIE DE 8 BITS  
74HC165 TECNOLOGÍA CMOS



# Registros de Desplazamiento

## EJEMPLO DE APLICACIÓN DE RD SERIE-PARALELO



### Detector de secuencia serie.

Cuando el dato recibe la secuencia: "1 0 1 0 1" la salida de la AND se pone en "1" durante un ciclo de reloj.



# Registros de Desplazamiento

## Bibliografía:

### Apuntes de teoría:

- "Registros de Desplazamiento". S. Noriega.

### Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECSA.
- "Técnicas Digitales con Circuitos Integrados". M. Ginzburg.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Teoría de conmutación y Diseño lógico". F. Hill, G. Peterson. Ed. Limusa
- "Manuales de CMOS de alta velocidad de Motorola, Texas Instruments, Fairchild, etc."